数字电子电路 形考答案

形考作业1(每题4分,合计100分)

标准答案1：（1111111.0001）2

标准答案2：（43.703125）10www.botiku.com零号电大

标准答案3：（26.9C）16

标准答案4：

标准答案5：

标准答案6：或

标准答案7：低电平www.botiku.com零号电大

标准答案8：输入电压

标准答案9：向外流出，电路带拉电流负载

标准答案10：电路输出端只需一个外接负载电阻

标准答案11：不能悬空

标准答案12：Y=AB+C

标准答案13：错

标准答案14：错www.botiku.com零号电大

标准答案15：错

标准答案16：错

标准答案17：对

标准答案18：对www.botiku.com零号电大

标准答案19：对

标准答案20：对

标准答案21：真值表（c）

标准答案22：

标准答案23：F=AB+AC

标准答案24：CMOS门电路

标准答案25：CMOS门电路

形考作业2(每题4分,合计100分)

标准答案1：仅取决于该时刻的输入状态

标准答案2：引入时钟脉冲

标准答案3：仅有一个被编对象有输入，其他均没有输入

标准答案4：图（a）**零号床www.botiku.com**

标准答案5：图b

标准答案6：16**零号床www.botiku.com**

标准答案7：不仅取决于输入信号，还与输入信号作用前的现态有关

标准答案8：主触发器的输出状态可能改变多次，但从触发器只能改变一次

标准答案9：

标准答案10：移位寄存器

标准答案11：速度慢

标准答案12：2N

标准答案13：错

标准答案14：错**零号床www.botiku.com**

标准答案15：对

标准答案16：对

标准答案17：对

标准答案18：错**零号床www.botiku.com**

标准答案19：对

标准答案20：错

标准答案21：

标准答案22：四舍五入

标准答案23：下降沿触发的边沿JK触发器

标准答案24：状态图如图2-5（b）所示，能自启动五进制同步计数器，

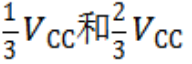
标准答案25：图2-6（a）

形考任务3(每题4分,合计100分)

标准答案1：前者只有一个稳态，后者没有稳态

标准答案2：振荡频率稳定

标准答案3：施密特触发器

标准答案4：

标准答案5：分辨率和转换误差**零号床www.botiku.com**

标准答案6：并行比较型

标准答案7：施密特触发器

标准答案8：译码器

标准答案9：ROM

标准答案10：SRAM

标准答案11：256×4**零号床www.botiku.com**

标准答案12：PLA

标准答案13：

标准答案14：错

标准答案15：错

标准答案16：对

标准答案17：错

标准答案18：对**零号床www.botiku.com**

标准答案19：对

标准答案20：错

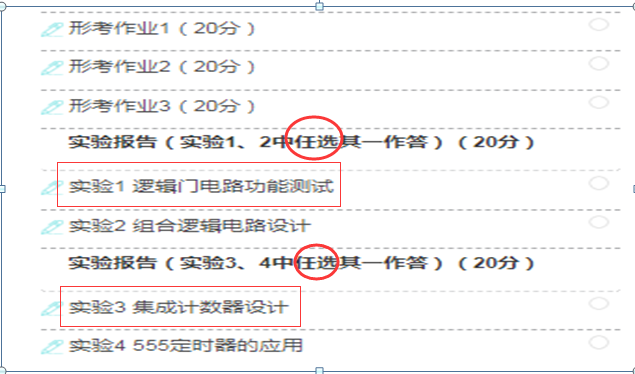
标准答案21：错

标准答案22：对

标准答案23：对

标准答案24：错

标准答案25：对



**实验1 逻辑门电路功能测试**

**参考答案(20分)**

**实验目的：**

1．熟悉常用逻辑门电路的功能。

2．了解集成电路引脚排列的规律及其使用方法。

**实验仪器与设备：**

1．数字电路实验箱。

2．数字万用表。

3．集成电路芯片74LS08、74LS32、74LS04、74LS00及74LS86各一片。

**实验原理**

**1. 三种基本逻辑运算**

（1）与运算

与运算逻辑表达式可以写成Y = A·B、Y= A·B·C、……，与运算的逻辑关系也就是与逻辑。与逻辑可以用图1-1所示开关电路来理解，它的状态组合见表1-1。

表1-1 与逻辑开关的状态组合

|  |  |  |
| --- | --- | --- |
| **开关A** | **开关B** | **灯** |
| 断 | 断 | 灭 |
| 断 | 通 | 灭 |
| 通 | 断 | 灭 |
| 通 | 通 | 亮 |

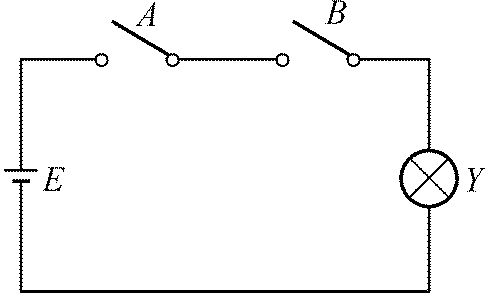


图1-1 与逻辑开关电路

与逻辑开关的状态组合还可以用逻辑变量代替电路的状态组合的，这种表示形式就是真值表。与逻辑真值表见表1-4。与逻辑在数字电路中可以用图1-2所示符号表示。

表1-2 与逻辑真值表

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

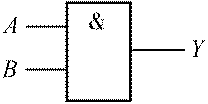


图1-2 与逻辑符号

（2）或运算

或运算逻辑表达式可以写成Y = A+B、Y = A+B+C、……，或运算的逻辑关系也就是或逻辑。或逻辑可以用图1-3所示开关电路来理解，它的状态组合见表1-3。

表1-3 与逻辑开关的状态组合

|  |  |  |
| --- | --- | --- |
| **开关A** | **开关B** | **灯** |
| 断 | 断 | 灭 |
| 断 | 通 | 亮 |
| 通 | 断 | 亮 |
| 通 | 通 | 亮 |

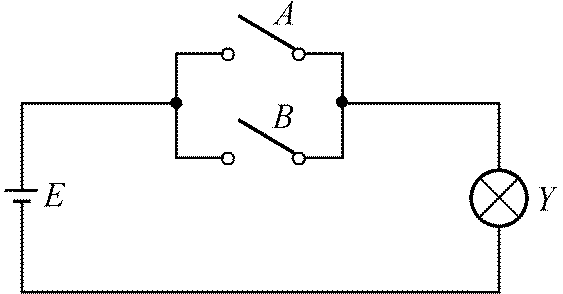


图1-3 或逻辑开关电路

同样，或逻辑开关电路的几种状态组合也可以用真值表来表示其逻辑关系。在数字电路中，或逻辑的电路符号见图1-4所示。

表1-4 与逻辑真值表

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

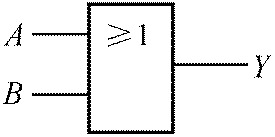


图1-4 或逻辑符号

（3）非运算

逻辑表达式是Y=A，非运算的逻辑关系也就是非逻辑。非逻辑开关电路只有表1-5所示两种状态组合。

表1-5 非逻辑开关的状态组合

|  |  |
| --- | --- |
| 开关A | 灯 |
| 断 | 亮 |
| 通 | 灭 |

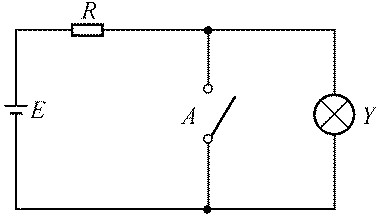


图1-5 非逻辑开关电路

同样，非逻辑的真值表和逻辑电路符号如表1-6和图1-6所示。

表1-6 与逻辑真值表

|  |  |
| --- | --- |
| A | Y |
| 0 | 1 |
| 1 | 0 |

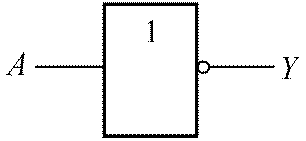
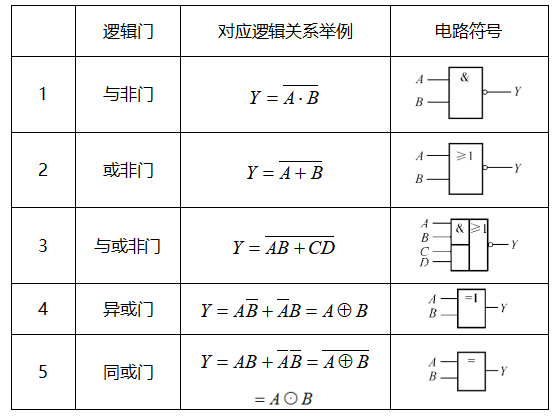


图1-6 非逻辑符号

**2. 常用复合逻辑运算**

几种常用的复合逻辑运算见表1-7所示。

表1-7 常用复合逻辑运算及其电路符号



**实验内容与步骤：**

**1．与逻辑功能测试**

图1-7所示芯片74LS08为四2输入与门。图中管脚7为接地端，管脚14为电源端，管脚1、2为两个与输入端，它的输出端是管脚3，同样管脚4、5为输入端，管脚6为它的输出端，以此类推。

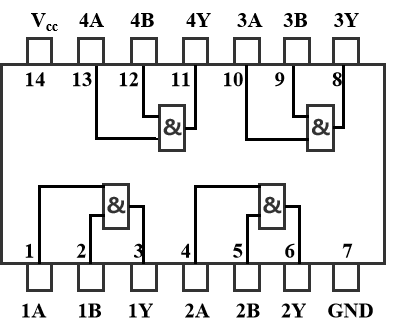


图1-7 74LS08管脚图

（1）打开数字电路试验箱，选择芯片74LS08并按图1-7所示接线，将其中任一门电路的输入端接逻辑开关，它的输出端接发光二极管。

（2）按表1-8要求完成实验，每改变一次输入开关状态，观察并记录输出端的状态。

表1-8 74LS08功能测试

|  |  |  |
| --- | --- | --- |
| **输入状态** | | **输出状态** |
| UA | UB | Y |
| 0 | 0 | 悬空 |
| 0 | 1 | 悬空 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |
| 0 | 悬空 | 悬空 |
| 1 | 悬空 | 0 |
| 悬空 | 0 | 1 |
| 悬空 | 1 | 0 |
| 悬空 | 悬空 | 1 |

**2．或逻辑功能测试**

图1-8所示芯片74LS32为四2输入或门。图中管脚7为接地端，14为电源端，管脚1、2为两个或输入端，它的输出端是管脚3，同样管脚4、5为输入端，管脚6为它的输出端，以此类推。

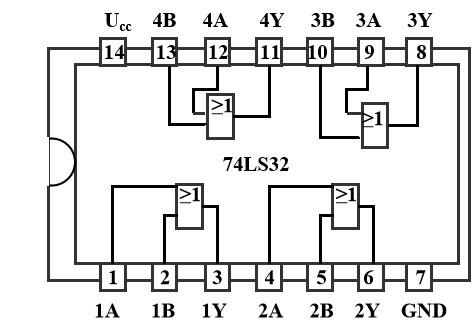


图1-8 74LS32管脚图

（1）打开数字电路试验箱，选择芯片74LS32并按图1-8所示接线。

（2）按表1-9要求完成实验，每改变一次输入开关状态，观察并记录输出端的状态。

表1-8 74LS32功能测试

|  |  |  |
| --- | --- | --- |
| **输入状态** | | **输出状态** |
| UA | UB | Y |
| 0 | 0 | 悬空 |
| 0 | 1 | 悬空 |
| 1 | 0 | 悬空 |
| 1 | 1 | 0 |
| 0 | 悬空 | 0 |
| 1 | 悬空 | 1 |
| 悬空 | 0 | 1 |
| 悬空 | 1 | 0 |
| 悬空 | 悬空 | 1 |

**3．非逻辑功能测试**

（1）用电脑或手机打开网络搜索引擎，查到芯片74LS04功能和管脚图。

（2）打开数字电路试验箱，选择芯片74LS04连接一个非逻辑功能测试实验电路。

（3）按表1-9要求完成实验，观察并记录输出端的状态。

表1-9 74LS32功能测试

|  |  |
| --- | --- |
| 输入状态UIN | 输出状态Y |
| 0 | 悬空 |
| 1 | 0 |
| 悬空 | 1 |

**4．与非逻辑功能测试**

（1）用电脑或手机打开网络搜索引擎，查到芯片74LS00功能和管脚图。

（2）打开数字电路试验箱，选择芯片74LS00连接一个与非逻辑功能测试实验电路。

（3）按表1-10要求完成实验，观察并记录输出端的状态。

表1-10 74LS00功能测试

|  |  |  |
| --- | --- | --- |
| **输入状态** | | **输出状态** |
| UA | UB | Y |
| 0 | 0 | 悬空 |
| 0 | 1 | 悬空 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |
| 0 | 悬空 | 悬空 |
| 1 | 悬空 | 0 |
| 悬空 | 0 | 1 |
| 悬空 | 1 | 0 |
| 悬空 | 悬空 | 1 |

**5．异或逻辑功能测试**

（1）用电脑或手机打开网络搜索引擎，查到芯片74LS86功能和管脚图。

（2）打开数字电路试验箱，选择芯片74LS86连接一个异或逻辑功能测试实验电路。

（3）按表1-11要求完成实验，观察并记录输出端的状态。

表1-11 74LS86功能测试

|  |  |  |
| --- | --- | --- |
| **输入状态** | | **输出状态** |
| UA | UB | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

1．集成电路的输入端悬空，在逻辑上相当于输入低电平还是高电平？

2．利用与非逻辑集成芯片74LS00能否实现与运算功能？为什么？

**实验3 集成计数器设计 实验报告**

参考答案

**实验目的：**

1．熟悉任意进制计数器的工作原理及其设计方法。

2．熟悉中规模集成电路计数器74LS161、74LS290的逻辑功能及使用方法

**实验仪器与设备：**

1．数字电路实验箱。

2．集成电路计数器74LS161两片、74LS290一片

**实验原理：**

**1. 二进制同步加法计数器74LS161**

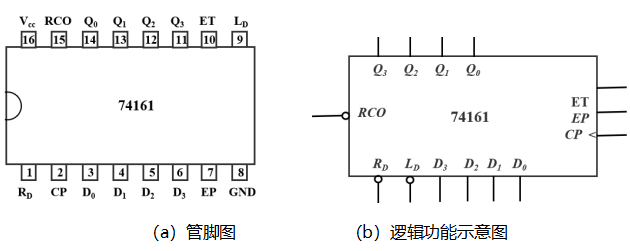


图3-1 74LS161管脚图和逻辑功能示意图

集成芯片74LS161是由四个主从J-K触发器构成二进制同步加法计数器，图中：D3、D2、D1、D0为触发器输入端，Q3、Q2、Q1、Q0为触发器输出端；CP时钟上升沿有效；RD为异步清零端，低电平有效；LD为同步预置端，低电平有效；EP、ET为两个使能端，便于多片级联；RCO为输出进位端。

表3-1 二进制同步加法计数器74LS161功能表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | **输出** | **功能说明** |
| CP | RD | LD | EP | ET | D3D2D1D0 | Q3Q2Q1Q0 |
| Ф | 0 | Ф | Ф | Ф | Ф  Ф  Ф  Ф | 0  0  0  0 | 异步置0 |
| ↑ | 1 | 0 | Ф | Ф | d3d2d1d0 | d3d2d1d0 | 同步置数 |
| Ф | 1 | 1 | 0 | Ф | Ф  Ф  Ф  Ф | 保持 | 保持状态 |
| Ф | 1 | 1 | Ф | 0 | Ф  Ф  Ф  Ф | 保持 | 保持状态 |
| ↑ | 1 | 1 | 1 | 1 | Ф  Ф  Ф  Ф | 计数 | 加法计数 |

由上表可知，74LS161具有下述功能：

（1）异步清零。当RD=0时，无论有无CP脉冲、其他输入端为何值，计数器的输入端将直接清零，即D3D2D1D0为0000。

（2）同步置数。当RD=1、LD=0时，在CP脉冲上升沿作用下，并行输入端的数据使触发器输出等于输入d3d2d1d0。

（3）保持状态。当RD=LD= 1，EP或ET有一个为零时，计数器状态保持不变。

（4）加法计数。当RD=LD=EP=ET=1时，CP脉冲上升沿到来时，计数器开始二进制加法计数。

**2. 二-五-十进制异步计数器74LS290**

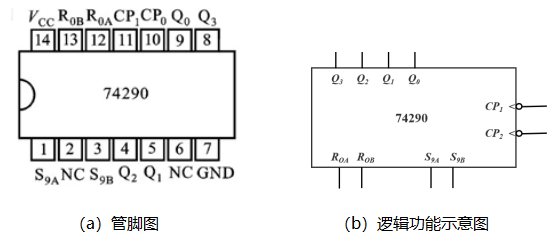


图3-2 74LS290管脚图和逻辑功能示意图

集成芯片74LS290是由四个主从J-K触发器构成的二-五-十进制异步加法计数器。图中R0A和R0B是异步置0端，S9A和S9B是异步置9端，Q3Q2Q1Q0是为触发器输出端，具体功能见表3-2。

表3-2 异步计数器74LS290功能表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | **输出** | **功能说明** |
| CP | R0A | R0B | S9A | S9B | Q3Q2Q1Q0 |
| Ф | 1 | 1 | 0 | Ф | 0  0  0  0 | 置0 |
| 1 | 1 | Ф | 0 | 0  0  0  0 |
| Ф | Ф | 1 | 1 | 1  0  0  1 | 置9 |
| ↓ | Ф | 0 | Ф | 0 | 计数 | CP下降沿到达时计数 |
| 0 | Ф | 0 | Ф |
| 0 | Ф | Ф | 0 |
| Ф | 0 | 0 | Ф |

由上表可知，74LS290具有下述功能：

① 直接清零：当R0A=R0B=1时，只要S9A、S9B有低电平，输出状态为0000，与CP无关；

② 置9：当S9A=S9B=1时，输出状态为1001，也与CP无关；

③ 计数：当R0A、R0B及S9A、S9B有低电平时，且CP下降沿到来时，实现计数。

a. 若在外部将Q0和CP2连接，触发脉冲由CP1输入，输出状态为Q3Q2Q1Q0，即可实现8421BCD码计数；

b. 若在外部将Q3和CP1连接，触发脉冲由CP2输入，输出状态为Q0Q3Q2Q1，还可实现构成5421BCD码计数。

**实验内容与步骤：**

**1．二进制同步加法计数器74LS161功能测试**

按表3-3要求，在CP、异步置0、同步置数及使能端取不同值时，任意预置2至4组D3D2D1D0数据进行测试，记录输入值和输出值，并说明功能。

表3-3 二进制同步加法计数器74LS161测试记录表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | **输出结果及说明** |
| CP | RD | LD | EP | ET | D3D2D1D0 | Q3Q2Q1Q0 |
| Ф | 0 | Ф | Ф | Ф | Ф | 0 |
| ↑ | 1 | 0 | Ф | Ф | 1 | 1 |
| Ф | 1 | 1 | 0 | Ф | 0 | Ф |
| Ф | 1 | 1 | Ф | 0 | 1 | 0 |
| ↑ | 1 | 1 | 1 | 1 | 1 | 1 |

**2．二-五-十进制异步计数器74LS290**

表3-4要求完成下列步骤：

（1）当R0A=R0B=1，S9A、S9B至少有低电平在CP任意状态下，测试R0A、R0B、S9A、S9B相应值的输出结果，记录并说明功能。

（2）当S9A=S9B=1，R0A和R0B为不同组合情况下，测试输出结果，记录并说明功能。

（3）当R0A、R0B及S9A、S9B有低电平，且CP下降沿到来时，观察每次CP下降沿给输出结果带来的变化，记录并说明功能。

表3-4 异步计数器74LS290功能表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **输入** | | | |  | **输出结果及说明** | |
|  | R0A | R0B | S9A | S9B | CP | Q3Q2Q1Q0 |  |
| R0A=R0B=1，S9A、S9B至少有低电平 | 1 | 1 | 0 | 0 | Ф | 0 |  |
| 1 | 1 | 0 | 1 | 0 |  |
| 1 | 1 | 1 | 0 | 1 |  |
| S9A=S9B=1， R0A和R0B为不同组合 | 0 | 0 | 1 | 1 | Ф | 0 |  |
| 0 | 1 | 1 | 1 | 1 |  |
| 1 | 0 | 1 | 1 | 0 |  |
| 1 | 1 | 1 | 1 | 1 |  |
| R0A、R0B及S9A、S9B有低电平，且CP下降沿到来时 | 0 | 0 | 0 | 0 | ↓ | 0 |  |
| 0 | 1 | 0 | 0 | 1 |  |
| 1 | 0 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 1 | 0 |  |
| 0 | 1 | 0 | 1 | 0 |  |
| 1 | 0 | 0 | 1 | 1 |  |
| 0 | 0 | 1 | 0 | 0 |  |
| 0 | 1 | 1 | 0 | 0 |  |
| 1 | 0 | 1 | 0 | 1 |  |

**3．按图3-3连接单片任意进制计数器，测试逻辑功能，画出状态转换图。**

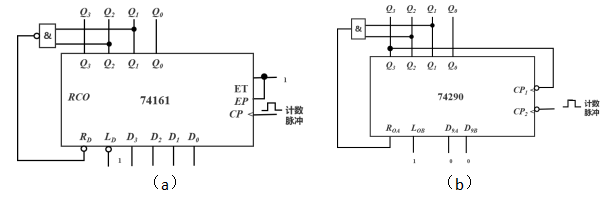


图3-3 单片任意进制计数器

**4．分析图3-4所示两片4位计数器级联组成8位计数器的工作原理，测试逻辑功能。**

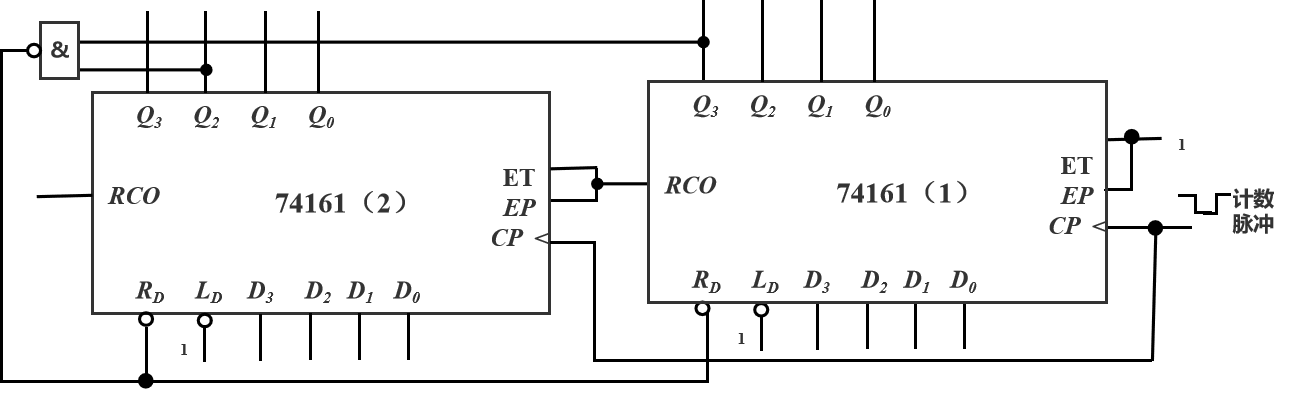


图3-4 两片计数器级联的任意进制计数器